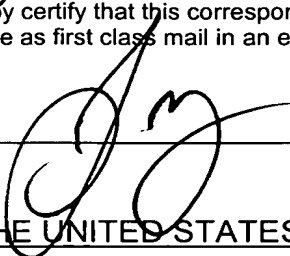


Docket No.: P2002,1029

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: December 30, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/728,388
Applicant : Juerg Haufe et al.
Filed : December 5, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : P2002,1029
Customer No.: 24131

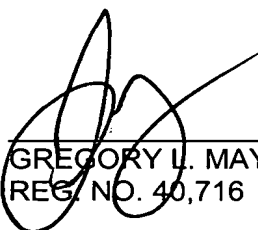
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 56 936.3 filed December 5, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: December 30, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 56 936.3

Anmeldetag: 05. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE;
Infineon Technologies Flash GmbH & Co KG,
Dresden/DE.

Erstanmelder: Infineon Technologies AG,
München/DE

Bezeichnung: Verfahren zur Herstellung von selbstjustierten
Kontaktierungen auf vergrabenen Bitleitungen

IPC: H 01 L 21/283

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stark

Beschreibung

Verfahren zur Herstellung von selbstjustierten Kontaktierungen auf vergrabenen Bitleitungen

5

Die vorliegende Erfindung betrifft ein Herstellungsverfahren für Kontaktierungen auf vergrabenen Bitleitungen zwischen verkapselten Wortleitungen eines Halbleiterspeicherzellenfeldes.

10

Bei Halbleiterspeichern sind die Speicherzellen in einer matrixartigen Anordnung an der Oberseite eines Halbleiterkörpers oder Substrats ausgebildet. Die Zellen werden durch streifenförmige und parallel im Abstand zueinander angeordnete Bitleitungen und quer dazu verlaufende und ebenfalls parallel im Abstand zueinander verlaufende Wortleitungen adressiert. Die Bitleitungen können als so genannte vergrabene Bitleitungen durch Einbringen von Dotierstoff in das Halbleitermaterial hergestellt werden. Die Wortleitungen sind stegartige Verbindungen auf der Oberseite des Halbleiterkörpers oder Substrates.

25

Zur Verringerung des elektrischen Widerstands werden die Bitleitungen in regelmäßigen Abständen kontaktiert und mit einer oberseitig verlaufenden Verdrahtung verbunden. Diese Kontaktierungen werden zwischen den Wortleitungen im Bereich zwischen zwei jeweiligen Source-/Drain-Bereichen der Speichertransistoren angeordnet.

30

Dabei tritt das Problem einer unzureichenden elektrischen Isolation der Kontaktierungen zu den Wortleitungen bei gleichzeitig geringer Kopplungskapazität auf. Mit zunehmender Miniaturisierung der Halbleiterspeicher macht sich diese Schwierigkeit in zunehmendem Maße bemerkbar. Bisher werden die stegförmigen Wortleitungen üblicherweise in ein Nitrid des Halbleitermaterials eingehüllt und so verkapselt.

35

Aufgabe der vorliegenden Erfindung ist es, ein Verfahren zur Herstellung von selbstjustierten Kontaktierungen auf vergrabenen Bitleitungen zwischen verkapselten Wortleitungen anzugeben, mit dem eine verbesserte elektrische Isolation und eine geringere Koppelkapazität erreichbar sind.

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

10

Bei dem erfindungsgemäßen Herstellungsverfahren werden die Wortleitungen mit einer Verkapselung aus dielektrischem Material versehen, die zumindest längsseits an den Flanken der Wortleitungen angeordnete Spacer aus Oxid umfasst, die anschließend zusammen mit den Wortleitungen mit einer Nitridschicht überdeckt werden. Zwischen den jeweils zu einer Wortleitung gehörenden Anteilen dieser Nitridschicht wird eine Füllung der vorhandenen Zwischenräume, z. B. mit Borphosphorsilikatglas (BPSG), eingebracht und unter Verwendung einer Maske bereichsweise selektiv zu dem Nitrid entfernt. In die so gebildeten Öffnungen werden Kontaktlochfüllungen zum elektrischen Anschluss der vergrabenen Bitleitungen eingebracht.

25

Die Nitridschicht auf den Oberseiten der Wortleitungen kann maßhaltig zu den Rändern der Spacer mit sehr schmalen Zwischenräumen hergestellt werden, wenn vor dem Herstellen der Spacer aus Oxid hilfsweise eine streifenförmige Nitridschicht auf den Wortleitungen vorgesehen wird. Die Spacer werden auch an den Flanken dieser hilfsweise aufgetragenen Nitridschicht hergestellt. Die hilfsweise aufgetragene Nitridschicht wird dann selektiv zu dem Oxid der Spacer entfernt. Die auf diese Weise jeweils über den Wortleitungen gebildeten Öffnungen zwischen den Spacern werden seitlich über die Flanken der Wortleitungen hinausragend aufgeweitet, indem die oberen Anteile der Spacer von der Seite der Öffnungen her abgetragen werden. Dazu ist es zweckmäßig, wenn die Spacer zuvor mit einer dünnen Schicht aus Nitrid, einem Nitrid-Liner, abgedeckt

35

wurden, so dass das Entfernen der oberen Anteile der Spacer jeweils selektiv an diesen Nitridschichten endet und die Füllung der Zwischenräume zwischen den Wortleitungen nicht abgetragen wird. Die aufgeweiteten Öffnungen werden anschließend
5 mit Nitrid gefüllt.

Es folgt eine genauere Beschreibung von Beispielen des Verfahrens anhand der Figuren 1 bis 11.

- 10 Die Figuren 1, 3, 4, 5, 6, 7, 8 und 10 zeigen Querschnitte durch einen Ausschnitt aus dem Halbleiterspeicherzellenfeld quer zu den Wortleitungen nach verschiedenen Schritten des Herstellungsverfahrens.
- 15 Die Figuren 2, 9 und 11 zeigen Querschnitte durch einen Ausschnitt aus dem Halbleiterspeicherzellenfeld quer zu den Bitleitungen nach verschiedenen Schritten des Herstellungsverfahrens.
- 20 Die Figur 1 zeigt im Querschnitt einen Halbleiterkörper 1 mit darin ausgebildeten vergrabenen Bitleitungen 2, die oberseitig durch Bitleitungsisolationen 3 abgedeckt sind. Die Bitleitungsisolationen können z. B. durch Oxidation des Halbleitermaterials hergestellt werden. Die Wortleitungen sind als
25 parallel zueinander im Abstand zueinander angeordnete Stege auf der Oberseite ausgebildet.

Die eigentliche Wortleitung 5 ist z. B. für elektrische Leitfähigkeit ausreichend hoch dotiertes Polysilizium. Zur Verringerung des elektrischen Bahnwiderstandes kann darauf eine
30 weitere Wortleitungsschicht 6 aufgebracht sein, die z. B. Wolframsilizid ist. Darauf folgt eine Isolationsschicht 7 aus dielektrischem Material, vorzugsweise eine SiO_2 -Schicht einer Dicke von typisch etwa 50 nm. Die oberste Schicht ist eine
35 Siliziumnitridschicht 8 einer Dicke von typisch etwa 150 nm.

In der Figur 2 ist der in der Figur 1 markierte Querschnitt quer zu den Bitleitungen dargestellt. Auf dem Halbleiterkörper 1 befinden sich zwischen den Bitleitungsisolationen 3 Anteile einer Speicherschicht 4, die insbesondere als Speicherschichtfolge für Programmierung mittels Charge-Trapping heißer Elektronen aus dem Kanal, z. B. als Oxid-Nitrid-Oxid-Speicherschichtfolge, ausgebildet sein kann. Die Wortleitung 5, die weitere Wortleitungsschicht 6, die Isolationsschicht 7 und die Siliziumnitridschicht 8 entsprechend der Figur 1 sind in der Figur 2 in der Längsrichtung der Wortleitungsstege geschnitten. Der Querschnitt der Figur 1 ist in der Figur 2 markiert.

In der Figur 2 ist ein weiterer Querschnitt markiert, der in der Figur 3 dargestellt ist. Hier sind die Anteile der Speicherschicht 4 jeweils zwischen der Wortleitung 5 und dem Halbleiterkörper 1 erkennbar. In diesem Ausführungsbeispiel sind die Anteile der Speicherschicht 4 jeweils auf den Bereich der Wortleitungsstege rückgeätzt. Die Speicherschicht 4 kann aber auch zwischen den Wortleitungen außerhalb der Bereiche der Bitleitungsisolationen 3 vorhanden sein. Die weitere Wortleitungsschicht 6 wird mit einer Pull-Back-Ätzung gemäß der Darstellung der Figur 3 geringfügig seitlich rückgeätzt, so dass sich infolge der Volumenvergrößerung durch eine anschließende Oxidation des Materials näherungsweise ebene Flanken der Wortleitungsstege ergeben.

In der Figur 4 ist die Struktur nach dem Oxidieren der Wortleitungsschichten 5, 6 zu Oxidschichten 9, die die Wortleitungen verkapseln, und dem Anbringen von seitlichen Spacern 10 dargestellt. Die Spacer 10 sind aus Oxid und werden durch ganzflächiges konformes Abscheiden einer Oxidschicht und anschließendes anisotropes Rückätzen des Oxids hergestellt. Gemäß einer bevorzugten Ausführungsform des Verfahrens wird die Oberseite der in der Figur 4 dargestellten Struktur mit einer dünnen Nitridschicht (Nitrid-Liner 12) überzogen, wie in der Figur 5 eingezeichnet ist.

Vor oder nach dem Aufbringen dieser Nitridschicht kann entsprechend der Figur 4 eine Isolationsimplantation zwischen den Bitleitungen in das Halbleitermaterial des Halbleiterkörpers 1 eingebracht werden, wodurch die Isolationsbereiche 11 hergestellt werden. Diese Isolationsbereiche 11 verbessern die Isolation zwischen den einzelnen Speicherzellen.

10 In der Figur 6 ist dargestellt, dass als nächstes eine Füllung 13 in die Zwischenräume zwischen den Wortleitungen eingebracht wird, woraufhin die Oberseite planarisiert wird. Die Füllung 13 ist ein Material, das bezüglich Siliziumnitrid selektiv geätzt werden kann. Es kann hier z. B. BPSG verwendet werden. Nach dem Planarisieren der Oberfläche werden die 15 hilfsweise aufgetragenen Nitridschichten 8 entfernt, so dass die in Figur 6 eingezeichneten Öffnungen 14 längs der Wortleitungen gebildet werden.

Durch ein Ätzen des Materials der Isolationsschicht 7 und der 20 Spacer 10 werden die Öffnungen 14 wie in der Figur 7 dargestellt aufgeweitet. Der Nitrid-Liner 12 dient dabei als Ätzstoppschicht. Die erweiterten Öffnungen 14 werden dann mit Abdeckungen 15 aus Nitrid gefüllt, die die Wortleitungen über die Spacer hinaus seitlich überragen.

25 Es genügt dann für das Ausätzen der Kontaktlöcher, entsprechend dem Querschnitt der Figur 8 eine Maske 16 aufzubringen, die Öffnungen 17 im Bereich der herzustellenden Kontaktierungen aufweist, ohne dass die Maßhaltigkeit besonders gut sein muss. Insbesondere ist es nicht erforderlich, die Öffnung 17 30 genau auf die Breite der Kontaktlöcher zu justieren.

In der Figur 9 ist der in der Figur 8 markierte Querschnitt dargestellt. In dem Bereich der Füllung 13 sind in der Figur 35 9 die Grenzen der Schichten 5, 6, 7 und 15 als verdeckte Konturen gestrichelt eingezeichnet. Die eingetragenen Bezugszei-

chen entsprechen denen der Figur 8 und brauchen nicht näher erläutert zu werden.

Die Figur 10 zeigt den Querschnitt gemäß der Figur 8, nachdem unter Verwendung der Maske 16 die Kontaktlöcher 18 bis auf einen oberseitigen Kontaktbereich 19 der Bitleitungen geätzt wurden. In der Figur 10 ist deutlich erkennbar, dass die Nitridschicht 15 eine seitliche Begrenzung der Kontaktlöcher 18 bildet. Das ist dadurch bewirkt, dass die Füllung 13 aus einem Material eingebracht wurde, das bezüglich des Nitrids der Abdeckungen 15 selektiv ätzbar ist. Das Oxid der Spacer 10 bleibt wegen der Anisotropie des Ätzprozesses und des Schutzes durch den Nitrid-Liner 12 erhalten, der im Anschluss an diesen Ätzprozess vollständig entfernt worden sein kann.

Die Figur 11 zeigt den der Figur 9 entsprechenden Querschnitt nach diesem Ätzschritt. Die Kontaktlöcher 18 können dann in einer an sich bekannten Weise mit Kontaktlochfüllungen versehen werden, indem z. B. Wolfram, leitfähig dotiertes Polysilizium oder dergleichen in die Öffnungen eingebracht wird. Diese Kontaktlochfüllungen können dann oberseitig mit Leiterbahnen verbunden werden. Die sich anschließenden Verfahrensschritte entsprechen den ansonsten von der Herstellung von Halbleiterspeichern bekannten Verfahrensschritten.

Patentansprüche

1. Verfahren zur Herstellung von selbstjustierten Kontaktierungen auf vergrabenen Bitleitungen zwischen verkapselten Wortleitungen eines Halbleiterspeicherzellenfeldes, bei dem
- 5 streifenförmige und parallel im Abstand zueinander angeordnete Bitleitungen (2) in einer Oberseite eines Halbleiterkörpers (1) oder Substrates durch Einbringen von Dotierstoff ausgebildet werden,
- 10 über den Bitleitungen jeweils streifenförmige Bitleitungsisolationen (3) aus elektrisch isolierendem Material hergestellt werden,
- auf der Oberseite streifenförmige und quer zu den Bitleitungen (2) parallel im Abstand zueinander verlaufende Wortleitungen (5, 6) angeordnet werden, die zwischen den Bitleitungen
- 15 jeweils Gate-Elektroden bilden, die von dem Halbleiterkörper (1) oder Substrat durch ein als Speicherschicht (4) vorgesehenes Gate-Dielektrikum getrennt sind,
- die Wortleitungen (5, 6) mit elektrisch isolierendem Material verkapselt werden und
- 20 die Bitleitungen (2) in vorgegebenen Abständen mit zwischen den Wortleitungen (5, 6) nach oben geführten Kontaktierungen versehen werden,
- d a d u r c h g e k e n n z e i c h n e t , d a s s
- 25 die Wortleitungen (5, 6) mit einer Verkapselung (7, 9, 10) aus dielektrischem Material versehen werden, die zumindest längsseits an den Flanken der Wortleitungen angeordnete Spacer (10) aus Oxid umfasst,
- über den Wortleitungen (5, 6) eine die Wortleitungen seitlich
- 30 überragende Abdeckung (15) aus Nitrid aufgebracht wird und die Spacer (10) mit einer Nitridschicht (12) überdeckt werden,
- zwischen den Wortleitungen (5, 6) vorhandene Zwischenräume mit einer Füllung (13) versehen und eingeebnet werden,
- 35 unter Verwendung einer Maske (16), die Öffnungen (17) in den Bereichen herzustellender Kontaktierungen aufweist, die Füllung (13) selektiv zu der Abdeckung (15) und der Nitrid-

schicht (12) bereichsweise bis auf einen Kontaktbereich (19) der Bitleitungen (2) reichend entfernt werden und in so hergestellte Kontaktlöcher (18) elektrisch leitfähiges Material als Kontaktlochfüllungen eingebracht wird.

5

2. Verfahren nach Anspruch 1, bei dem als Speicherschicht (4) eine für Charge-Trapping heißer Elektronen aus einem jeweiligen Kanalbereich vorgesehene Speicherschichtfolge hergestellt wird.

10

3. Verfahren nach Anspruch 1 oder 2, bei dem die Wortleitungen mit einer Verkapselung (7, 9, 10) versehen werden, die auch eine Oxidschicht (7) auf der Oberseite der Wortleitungen umfasst.

15

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Abdeckung (15) aus Nitrid hergestellt wird, indem vor dem Herstellen der Spacer (10) aus Oxid hilfsweise eine streifenförmige Nitridschicht (8) auf den Wortleitungen vorgesehen wird, die nach dem Herstellen der Spacer (10) selektiv zu dem Oxid entfernt wird, so dass jeweils über den Wortleitungen Öffnungen (14) zwischen den Spacern (10) gebildet werden, und

20

diese Öffnungen (14) seitlich über die Flanken der Wortleitungen hinausragend aufgeweitet und anschließend mit Nitrid gefüllt werden.

25

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem als Füllung (13) zwischen den Wortleitungen (5, 6) Borphosphorsilikatglas verwendet wird.

30

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die Wortleitungen (5, 6) siliziumhaltiges Material umfassen und

35

vor dem Herstellen der Spacer (10) aus Oxid das Material der Wortleitungen zu einer die Wortleitungen verkapselnden Oxidschicht (9) oxidiert wird.

Zusammenfassung

Verfahren zur Herstellung von selbstjustierten Kontaktierungen auf vergrabenen Bitleitungen

5

Die Wortleitungen (5, 6) werden mit einer Verkapselung (7, 9, 10) aus dielektrischem Material versehen, die zumindest längsseits an den Flanken der Wortleitungen angeordnete Spacer (10) aus Oxid umfasst, die anschließend zusammen mit den Wortleitungen mit einer Nitridschicht (15) überdeckt werden. Zwischen den jeweils zu einer Wortleitung gehörenden Anteilen dieser Nitridschicht wird Borphosphorsilikatglas eingebracht und unter Verwendung einer Maske selektiv zu dem Nitrid entfernt. In die so gebildeten Kontaktlöcher (18) werden Kontaktlochfüllungen zum elektrischen Anschluss der vergrabenen Bitleitungen (2) eingebracht.

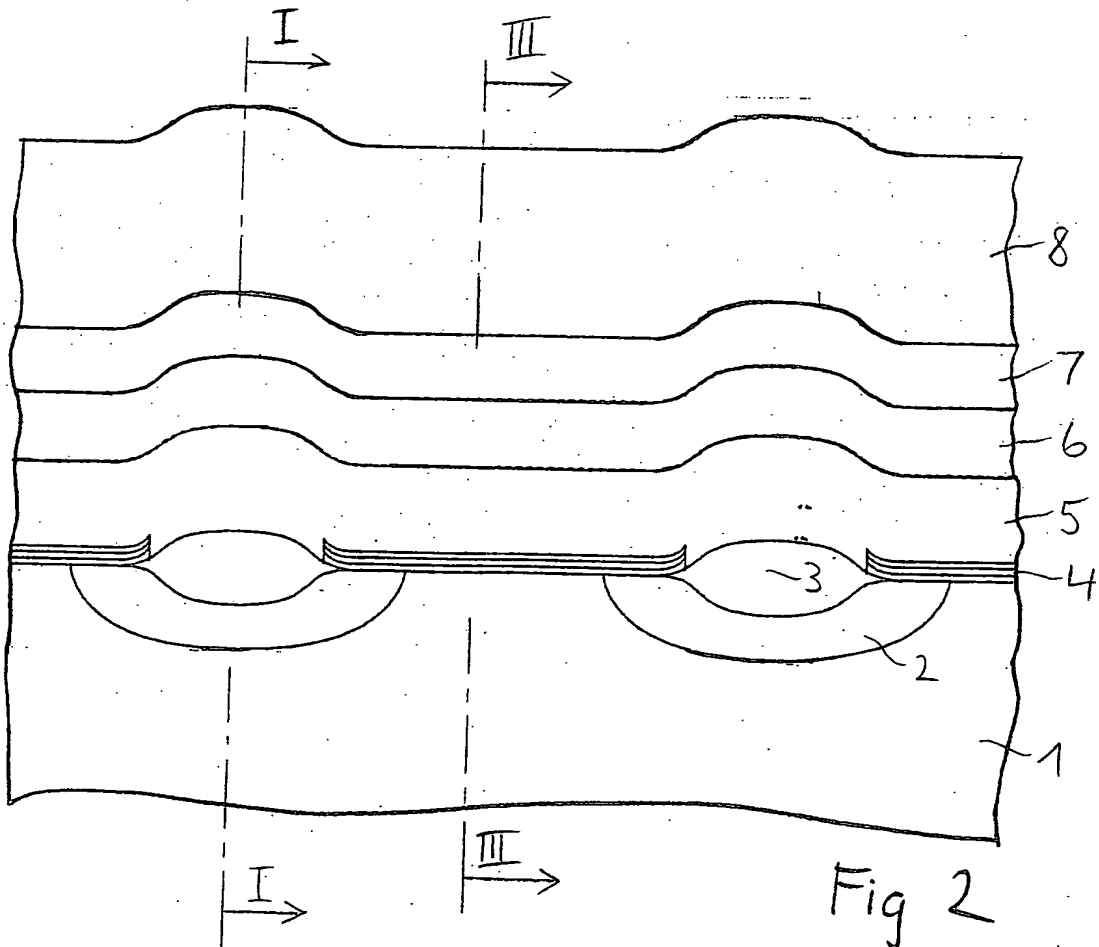
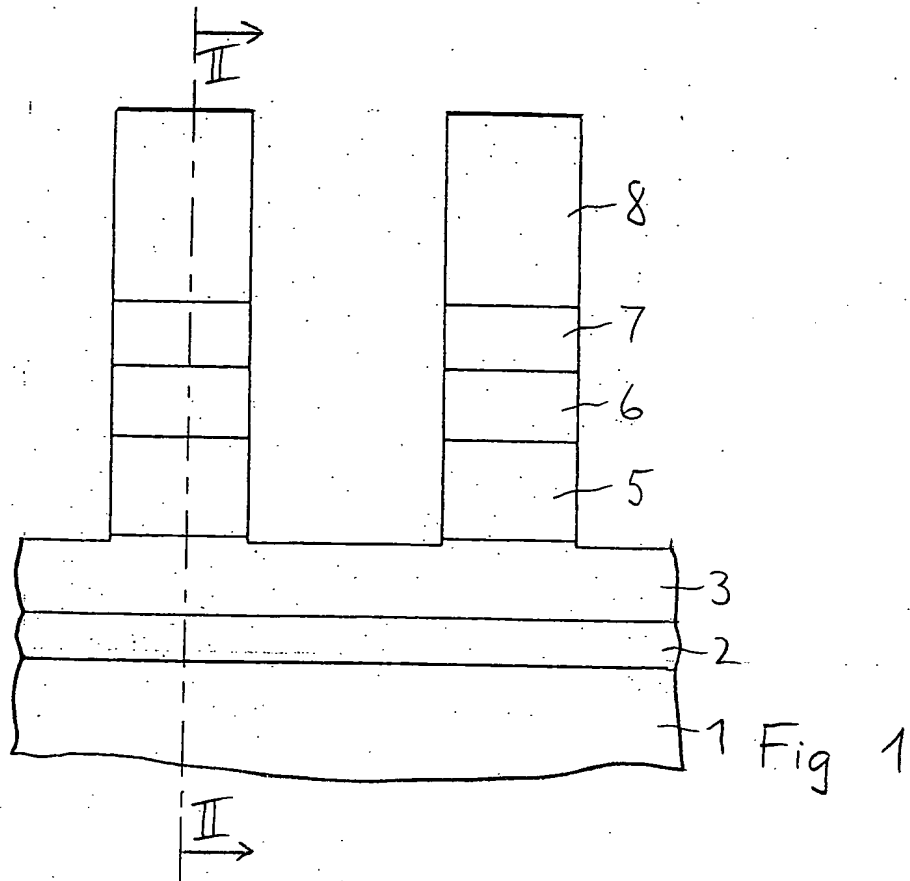
10

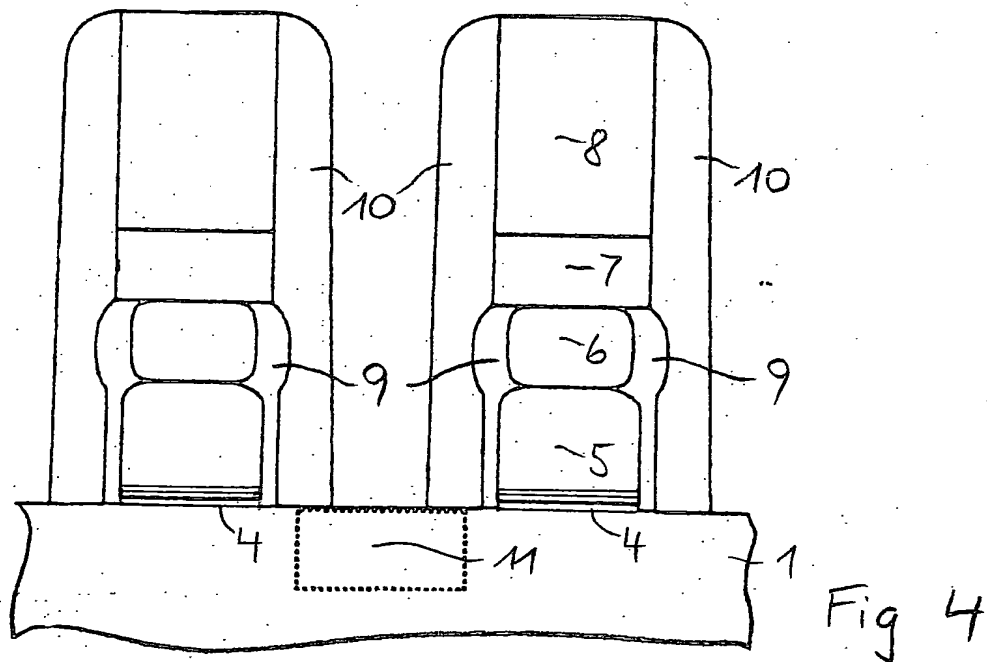
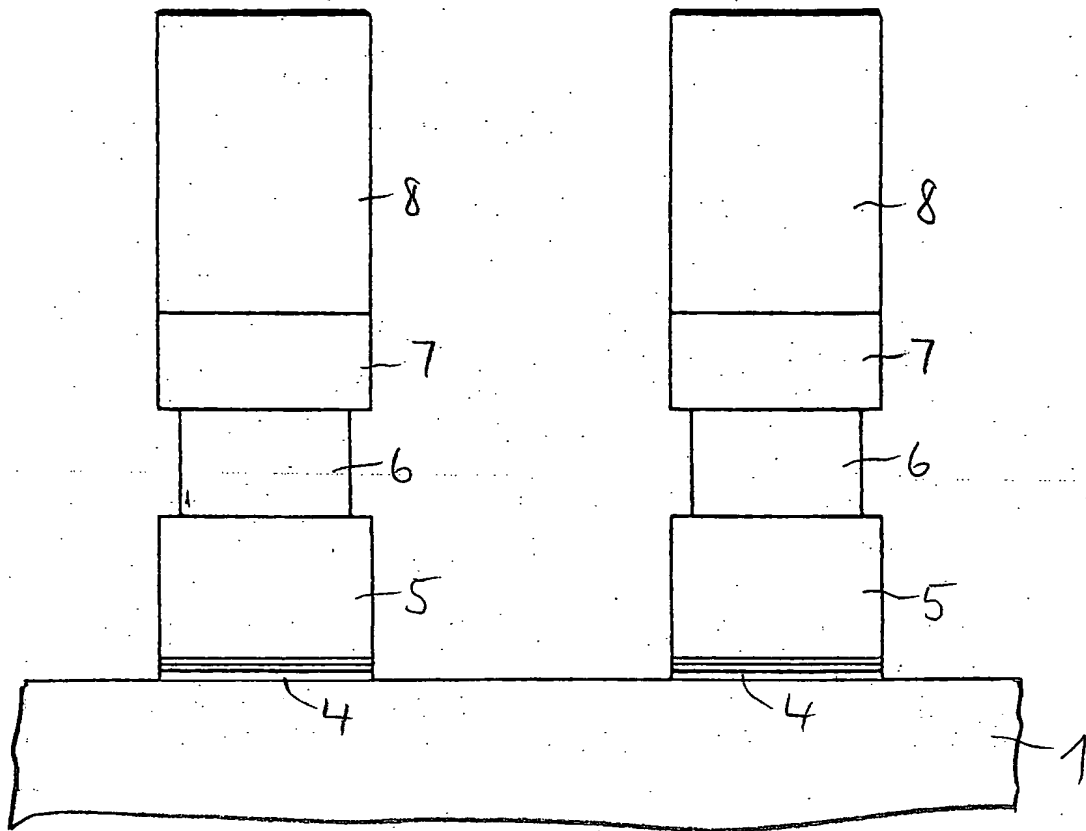
15

Figur 10

Bezugszeichenliste

- | | | |
|----|----|-----------------------------|
| | 1 | Halbleiterkörper |
| | 2 | Bitleitung |
| 5 | 3 | Bitleitungsisolation |
| | 4 | Speicherschicht |
| | 5 | Wortleitung |
| | 6 | weitere Wortleitungsschicht |
| | 7 | Isolationsschicht |
| 10 | 8 | Siliziumnitridschicht |
| | 9 | Oxidschicht |
| | 10 | Spacer |
| | 11 | Isolationsbereich |
| | 12 | Nitrid-Liner |
| 15 | 13 | Füllung |
| | 14 | Öffnung |
| | 15 | Abdeckung |
| | 16 | Maske |
| | 17 | Öffnung |
| 20 | 18 | Kontaktloch |
| | 19 | Kontaktbereich |





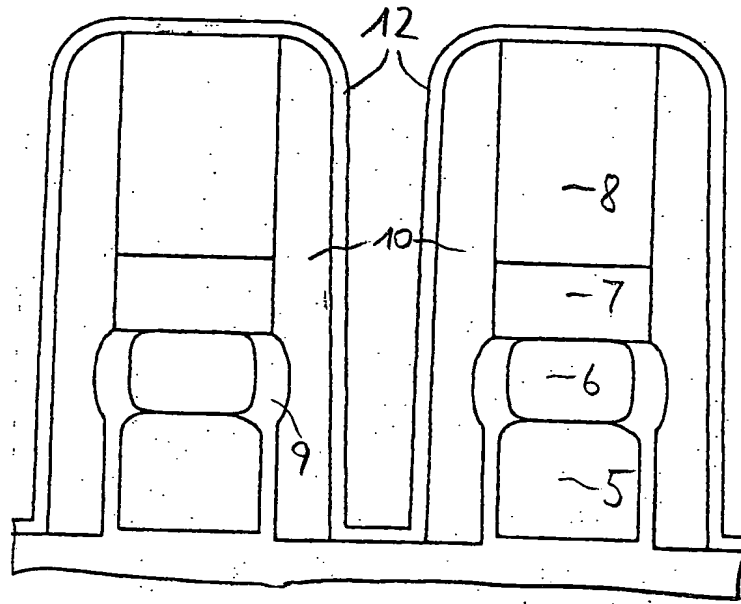


Fig 5

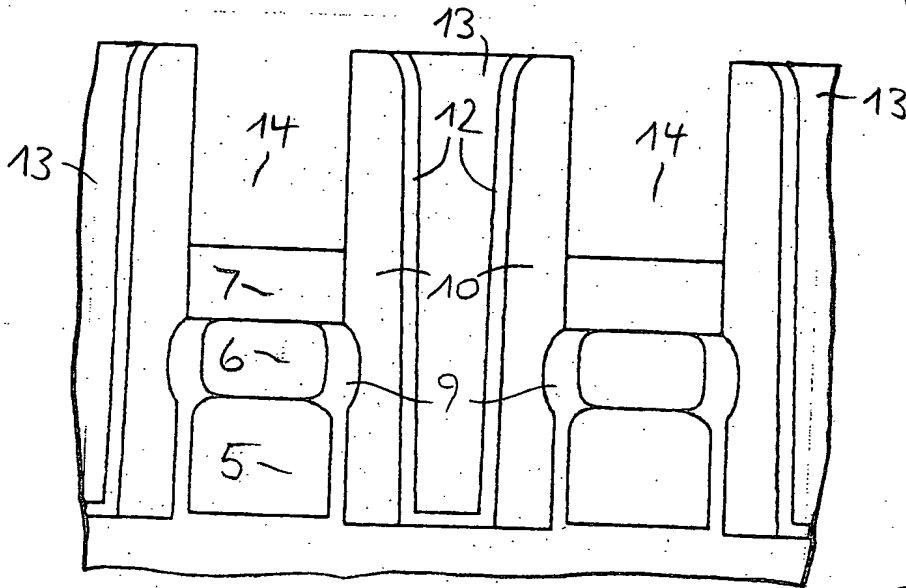


Fig 6

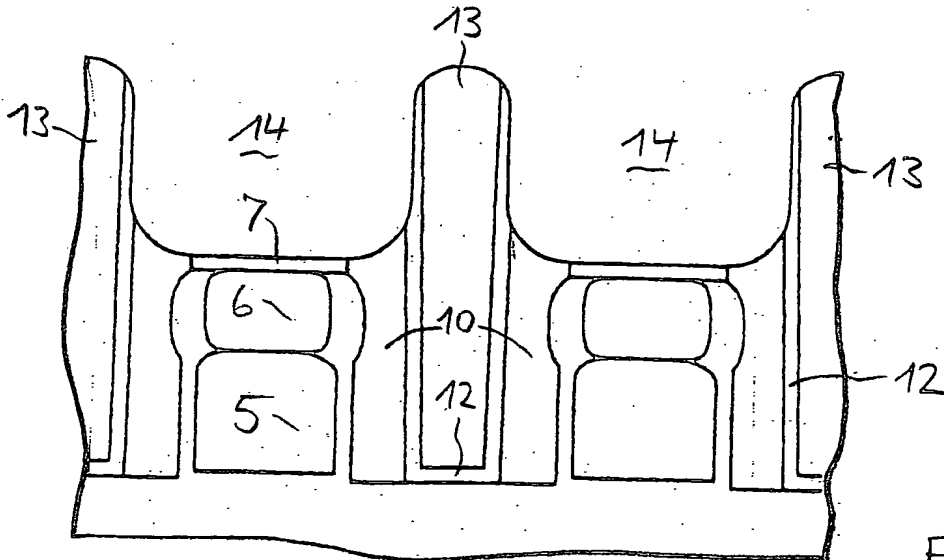


Fig 7

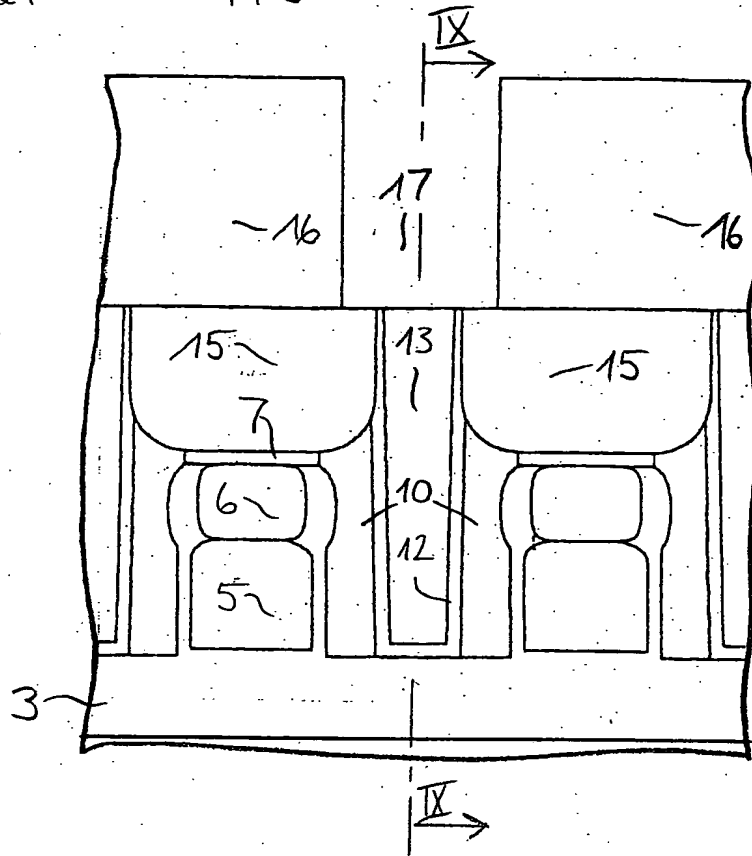


Fig 8

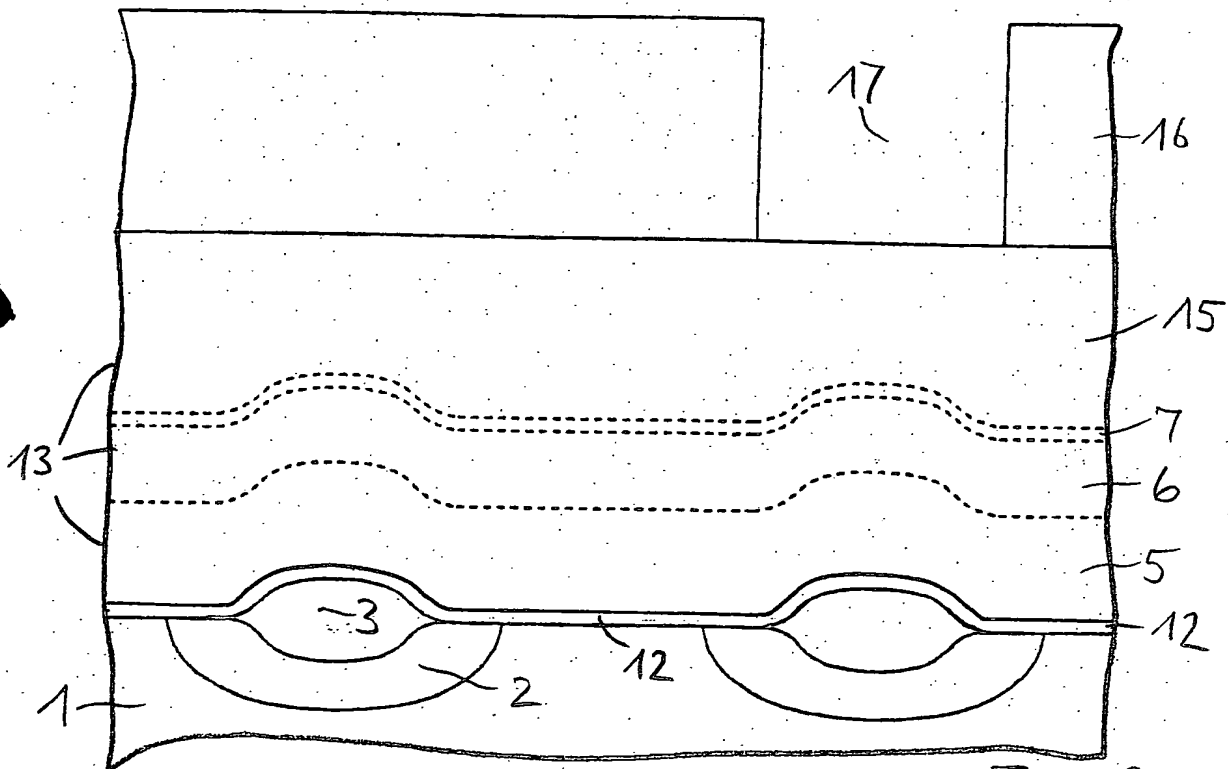


Fig 9

